

《可编程逻辑器件及应用》

课程实验报告

**学生姓名 Name**

**指导教师**  **龚树凤**

**专业班级 Class**

**培养类别 全日制本科**

**所在学院**  **信息工程学院**

**提交日期** 2021年1月4日

**（don’t change👆）**

（完成正文后，再根据实际页码对目录页码进行补正）

目 录

（目录内容可以根据个人实际情况，适当调整）

**实验一：常用组合逻辑、时序逻辑电路的设计与仿真** 1

1.1 计数器 1

1.2 分频器 1

**实验二： 加法器的设计与仿真** 2

2.1 1位半加器的设计与仿真 2

2.2 8位全加器的设计与仿真 2

**实验三：UART串口发送/接收器的设计与仿真** 3

3.1 设计任务

3.2 设计方案 3

3.2 Verilog HDL源代码 3

3.3 实验结果与分析 3

**实验四：交通灯控制系统的设计与实现** 4

4.1设计任务 4

4.2 设计方案 4

4.3 Verilog HDL源代码 4

4.3 实验结果与分析 4

**实验总结** 7

**实验改进建议** 8

实验一：常用组合电路、时序逻辑电路设计

1.1 计数器

1.1.1 设计任务

使用Modelsim软件设计同步置数、同步复位功能的6位二进制计数器，并完成仿真验证。（What do you want to design）

1.1.2 设计思路与原理

输出out，输入数据data，置数信号load，时钟lck，清零rst

采用同步置数同步复位的方法，若达到clk上升沿，此时rst为低电平则计数器清零，否则若load为高电平表示允许置数，将data赋值给out，其他情况均为out=out+1即正常计数状态。

（how you design this project）

1.1.3 Verilog源代码与注释

(verilogHDL main code)

module count6(\*\*\*,\*\*\*\*,\*\*\*\*,\*\*\*,\*\*\*);

output[5:0]\*\*\*; //input&output port declaration

input[5:0]\*\*\*;

input \*\*\*\*,\*\*\*,\*\*\*;

reg[5:0]\*\*\*\*;

always@(posedge clk )

if(!rst) //code annotation

\*\*\*\*\*\*\*\*\*\*\* //code annotation

else if(load) //code annotation

\*\*\*\*\*\*\*\*\*\*\* //code annotation

else //code annotation

\*\*\*\*\*\*\*\*\*\*\*

endmodule

(testbench Excitation simulation module code)

`timescale 10ns/1ns

module count6\_tp;

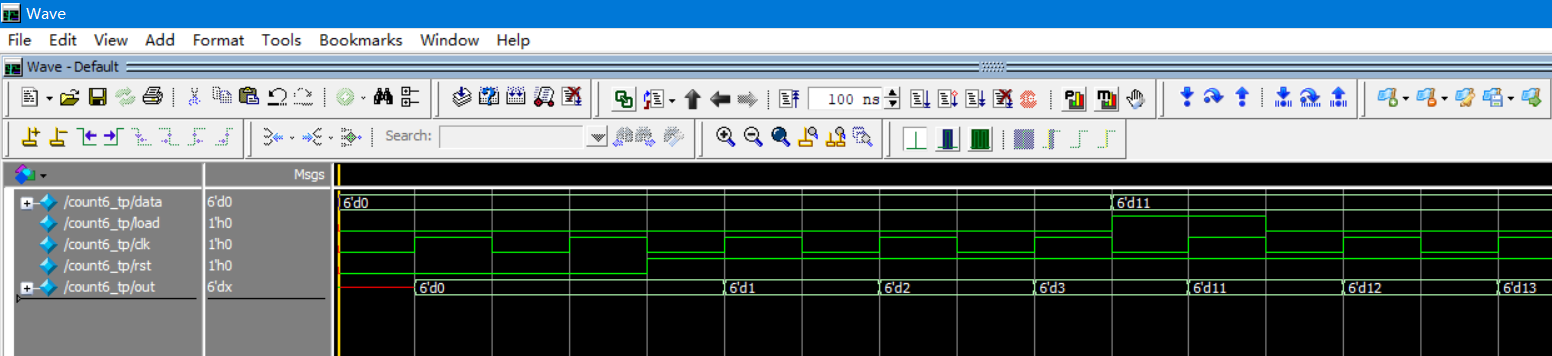
\*\*\*\*\* //code annotation

\*\*\*\*\* //code annotation

\*\*\*\*\* //code annotation

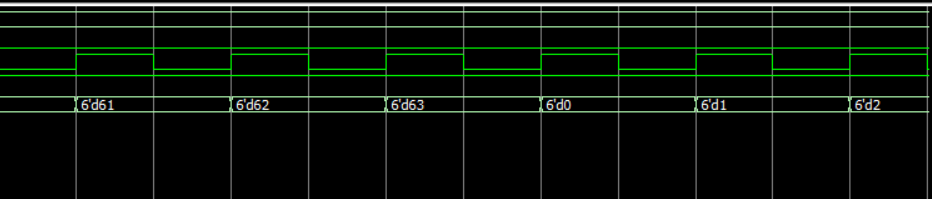
endmodule

1.1.4仿真结果与分析



Explain the simulation screenshot

图1-1 六进制计数器的仿真截图（初始部分）



Explain the simulation screenshot

图1-2 六进制计数器的仿真截图（计数溢出部分）

实验总结

1. 通过仿真和硬件实验的比较，你对哪些概念从不理解到理解了？
2. 相比其它方法（比如数字逻辑设计、单片机等），你认为FPGA对数字电路设计有哪些优势？
3. 你对设计一个比较复杂的工程项目有何一般性的方法？

实验改进建议

建议一：

建议二：